



应用笔记

ACM32H5 系列芯片
PLL 配置流程和使用说明

版本: V1.2

日期: 2024-12-27

上海航芯电子科技股份有限公司

1. 概述

本应用手册适用于 ACM32H5 系列芯片。它描述了芯片的 PLL1/PLL2/PLL3 的配置流程和使用说明。本应用说明应与相关的用户手册、数据手册一同阅读。

2. PLL 时钟

术语解释：

PFD：相位/频率检测

LPF：环路滤波器

SSC：扩频时钟

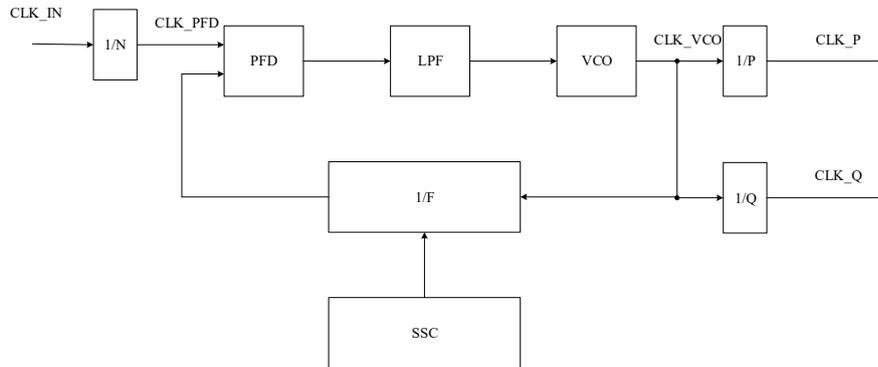


图 2-1 PLL1/PLL2 结构图

$$\text{PLLxPCLK} = \text{CLK_IN} / \text{PLLxN} * \text{PLLxF} / \text{PLLxP}$$

$$\text{PLLxQCLK} = \text{CLK_IN} / \text{PLLxN} * \text{PLLxF} / \text{PLLxQ}$$

CLK_IN 为 PLLx 时钟源。

PLLx 时钟源可以选择 RCH 16 分频，CLK_IN = 4MHz。

PLLx 时钟源也可以选择 XTH，PLL1 推荐 12MHz，CLK_IN = 12MHz，PLL2 无特殊要求。

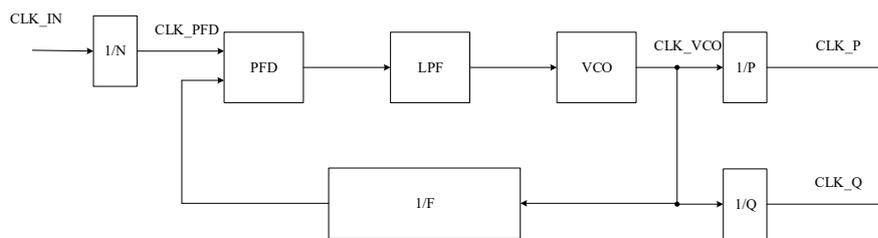


图 2-2 PLL3 结构图

$$\text{PLLxPCLK} = \text{CLK_IN} / \text{PLLxN} * \text{PLLxF} / \text{PLLxP}$$

$$\text{PLLxQCLK} = \text{CLK_IN} / \text{PLLxN} * \text{PLLxF} / \text{PLLxQ}$$

CLK_IN 为 PLLx 时钟源。

PLLx 时钟源可以选择 RCH 16 分频，CLK_IN = 4MHz。

PLLx 时钟源也可以选择 XTH，无特殊要求。

PLL1、PLL2、PLL3 的异同点

参数/功能	PLL1	PLL2	PLL3
PFD 输入频率范围	1MHz~2MHz	1MHz~2MHz	1MHz~50MHz
VCO 频率范围	100MHz~550MHz	100MHz~550MHz	200MHz~500MHz
PLLxPCLK 频率范围	30MHz~220MHz	30MHz~275MHz	25MHz~500MHz
PLLxQCLK 频率范围	16MHz~550MHz	16MHz~550MHz	25MHz~500MHz
SSC 功能	支持	支持	不支持
系统时钟	可作为系统时钟	不可作为系统时钟	不可作为系统时钟
外设专用时钟	作为系统时钟，可为大部分外设提供时钟，不可作为外设的专用时钟	PLL2PCLK 可作为 SDIO 专用时钟，PLL2QCLK 可作为 LTDC 专用时钟	PLL3PCLK 可以作为 ADC 专用时钟，PLL3QCLK 可以作为 TK 专用时钟

3. PLL 扩频

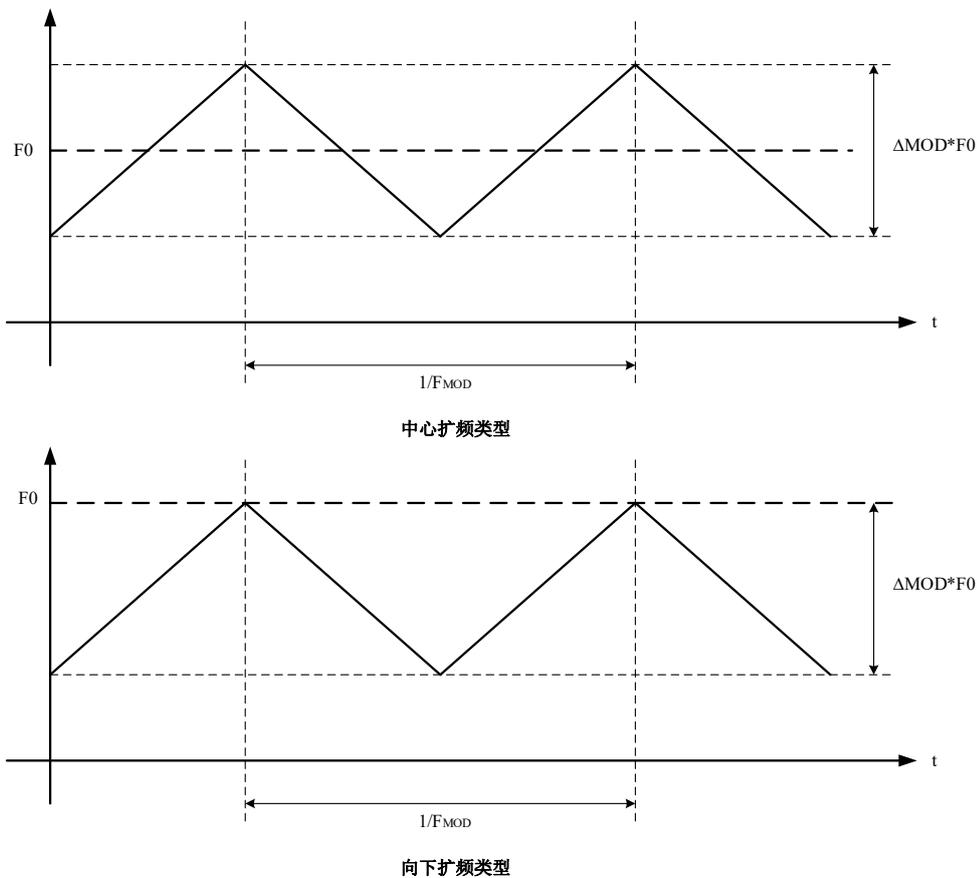


图 3-1 PLL 扩频

F0 为 CLK_VCO 时钟。

FMOD 为调制频率，即频率扩展周期率。

调制频率较低，可实现频率平滑调制，减小调制后的时钟抖动。

FMOD 计算公式如下：

$$FMOD = CLK_PFD / (2 * PLLxSSCPER)$$

FMOD 范围：≤ 10KHz。

ΔMOD 为扩频比，即频率抖动范围。

较大的扩频比可以加强 EMI 的衰减程度，但也可能会高于系统最大额定频率或低于平均频率而对系统造成影响。

ΔMOD 计算公式如下：

$$\Delta MOD = (PLLxSSCPER * PLLxSSCSTP) / (215 - 1) / PLLxF$$

其中， $(PLLxSSCPER * PLLxSSCSTP) / (215 - 1) \leq 1$ 。

ΔMOD 范围：0.25% ~ 2%。

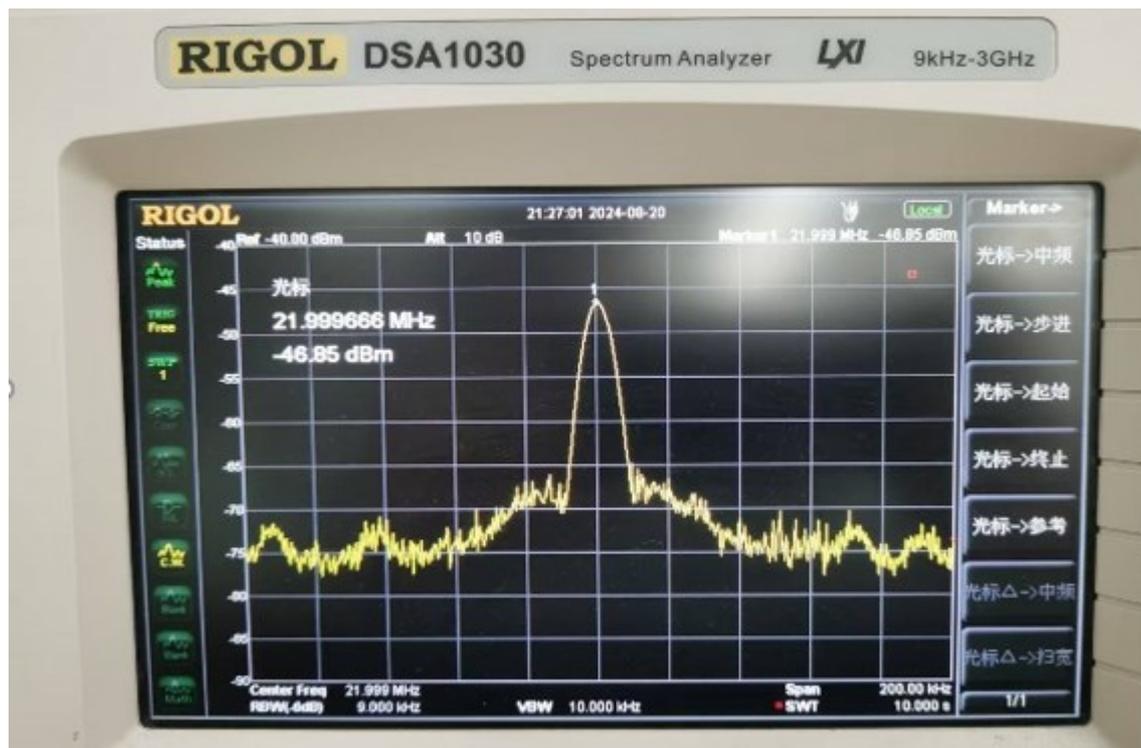
扩频目的：对时钟进行扩频的目的就在于，使得时钟的频谱能量被分散到一定的频谱范围上，降低峰值能量，从而降低或者避免 EMI 风险。

举例说明如下：

1), PLL1 输入 12MHz XTH 时钟, PLL1_PCLK 按照下表配置, 输出的频率不扩频时为 219.99666MHz。

1#芯片	FIN	N	F	P	VCO	PLL1_PCLK	
	初始值	配置值	配置值	配置值	理论值	理论值	测试值
	12MHz	9	330	2	440.000MHz	220.000MHz	219.99666MHz

因为未使能扩频, 下图显示了 PLL_PCLK 经过 10 分频后输出信号的频谱分布, 主要频谱集中在 21.999666MHz, EMI 为-46.85。



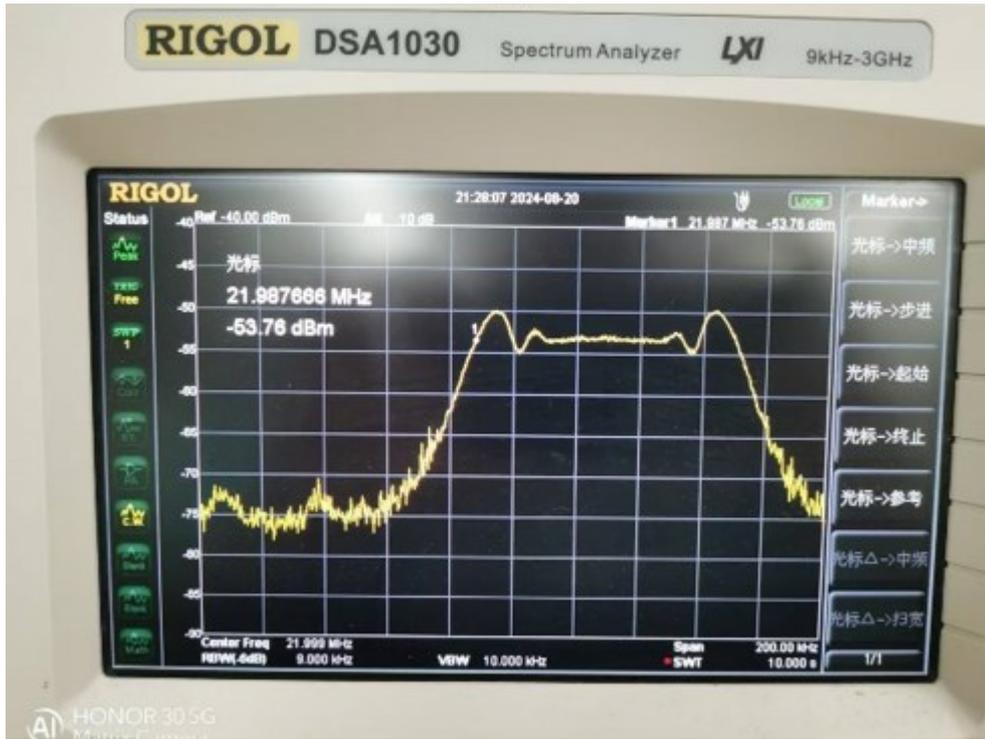
2), PLL1 输入 12MHz XTH 时钟, PLL1_PCLK 按照下表配置, 未使能扩频功能时的 PLL1_PCLK 输出的频率如下表。

2#芯片	FIN	N	F	P	VCO	PLL1_PCLK	
	初始值	配置值	配置值	配置值	理论值	理论值	测试值
	12MHz	7	257	2	440.571MHz	220.286MHz	220.28666MHz

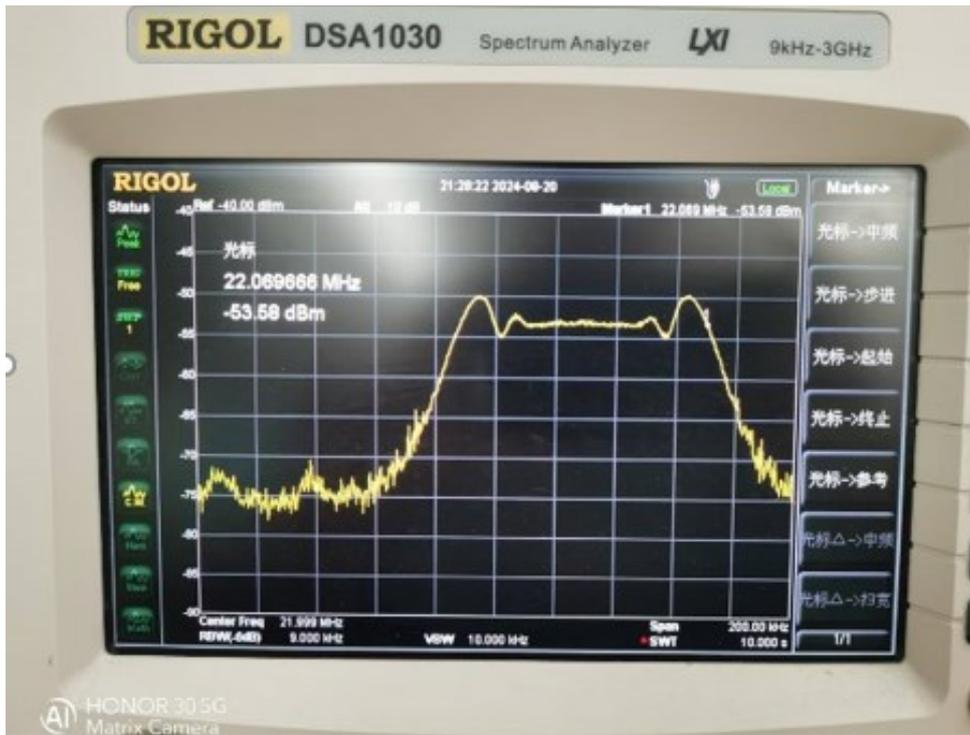
使能中心扩频后, 下图显示了 PLL_PCLK 经过 10 分频后输出信号的频谱分布, 主要频谱集中在 21.987666MHz- 22.069666MHz, EMI 为-53.56, EMI 降低。

。

频谱集中部分的左边界为 21.987666MHz



频谱集中部分的右边界为 22.069666MHz

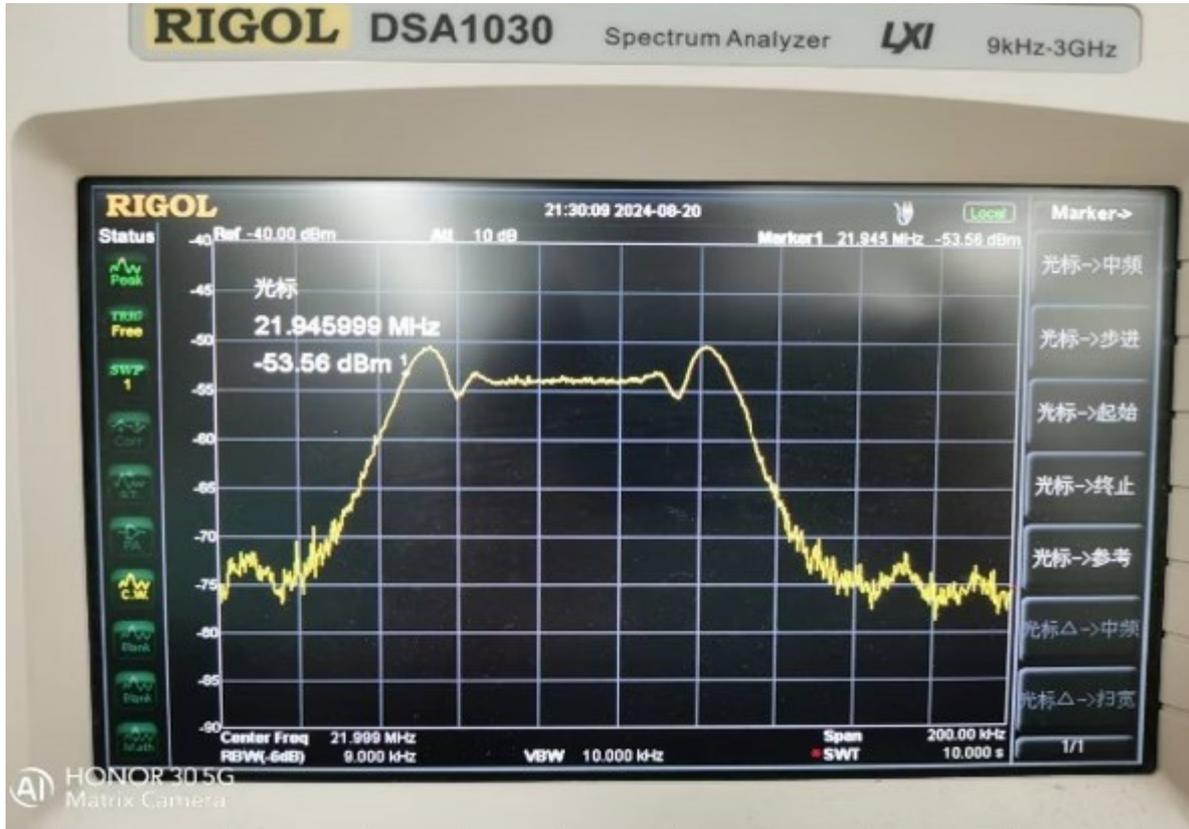


3), PLL1 输入 12MHz XTH 时钟, PLL1_PCLK 按照下表配置, 未使能扩频功能时的 PLL1_PCLK 输出的频率如下表。

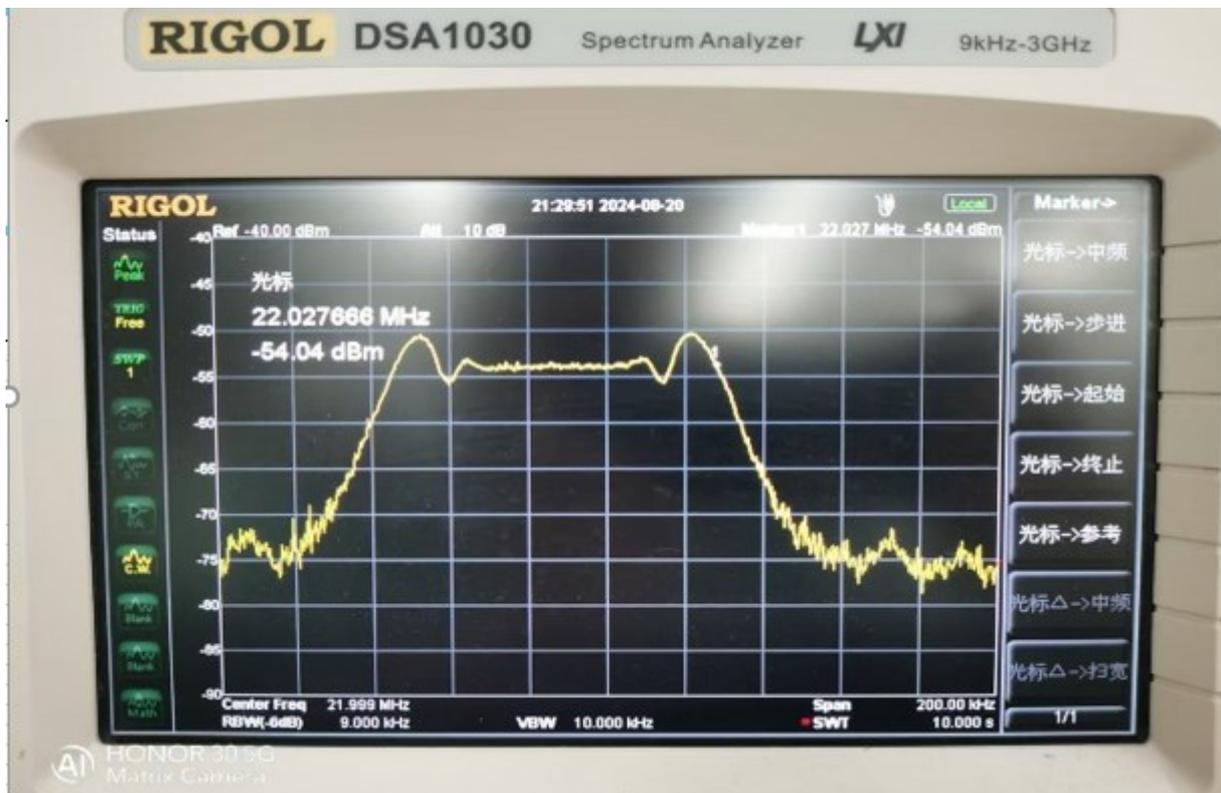
3#芯片:	FIN	N	F	P	VCO	PLL1_PCLK	
	初始值	配置值	配置值	配置值	理论值	理论值	测试值
	12MHz	7	257	2	440.571MHz	220.286MHz	220.27666MHz

使能向下扩频后，下图显示了 PLL1_PCLK 经过 10 分频后输出信号的频谱分布，主要频谱集中在 21.945999-22.027666MHz，EMI 为-53.56，EMI 降低。

频谱集中部分的左边界为 21.945999MHz



频谱集中部分的右边界为 22.027666MHz



4. 配置流程

4.1. PLL1 启动配置流程

PLL1 启动配置流程：

1) 配置 PLL1 时钟源。

PLL1 时钟源可选择 RCH 16 分频 (4MHz) 或 XTH (推荐 12MHz)。

2) 配置 PLL1 锁定等待周期数 PLL1LOCKDLY。

等待时间与系统时钟频率 HCLK 和 CLK_VCO 频率相关。

等待时间计算公式：

等待时间 = PLL1LOCKDLY * 512 / HCLK

等待时间： 200us@CLK_VCO=100MHz

300us@CLK_VCO=432MHz

3) 如果使能 PLL1 LOCK 中断，配置中断源 PLL1LOCKSEL。

中断源选择 PLL1FREERUN。

4) 使能 PLL1。

5) 配置 PLL1 扩频。

如果禁止 PLL1 扩频，PLL1SCR = 0。

如果使能 PLL1 扩频，配置 PLL1 扩频类型、PLL1 扩频调制步长、PLL1 扩频调制比，同时使能 PLL1 扩频。

6) PLL1 退出休眠。

7) 延时 15 个系统周期。

8) 等待 PLL1 工作正常，即等待 PLL1FREERUN 标志为 1。

9) 配置 CLK_VCO 频率，即配置 PLL1N、PLL1F。

$CLK_VCO = CLK_IN / PLL1N * PLL1F$

CLK_IN 范围：1MHz~48MHz。

CLK_PFD (CLK_IN / PLL1N) 范围：1MHz~2MHz。

CLK_VCO 范围：100MHz~550MHz。

PLL1N 范围：1~63。

PLL1F 范围：50-511。

10) 配置 PLL1PCLK 频率，即配置 PLL1P。

$PLL1PCLK = CLK_VCO / PLL1P$

PLL1PCLK 范围：30MHz~220MHz。

PLL1P 范围：【2, 4, 6, 8】。

11) 配置 PLL1QCLK 频率，即配置 PLL1Q。

$PLL1QCLK = CLK_VCO / PLL1Q$

PLL1QCLK 范围：16MHz~220MHz。

PLL1Q 范围：1~15。

- 12) 如果使能 PLL1 LOCK 中断，配置中断源 PLL1LOCKSEL。
如果 PLL1 时钟源为 RCH 的 16 分频，选择 PLL1FREERUN。
如果 PLL1 时钟源为 XTH，则选择 PLL1LOCK。
- 13) 更新 PLL1 配置，置位 PLL1UPDATEEN。
- 14) 延时 15 个系统周期。
- 15) 等待 PLL1 锁定。
如果 PLL1 时钟源为 RCH 16 分频，则等待 PLL1 工作正常，即等待 PLL1FREERUN 标志为 11。
如果 PLL1 时钟源为 XTH，则等待 PLL1 锁定，即等待 PLL1LOCK 标志为 1。
- 16) 使能/禁止 PLL1PCLK。
- 17) 使能/禁止 PLL1QCLK。

4.2. PLL1 停止配置流程

PLL1 停止配置流程

- 1) 禁止 PLL1。
- 2) 禁止 PLL 扩频。
- 3) PLL 进入休眠。

4.3. PLL2 启动配置流程

PLL2 启动配置流程：

- 1) 配置 PLL2 时钟源。
PLL2 时钟源可选择 RCH 16 分频 (4MHz) 或 XTH (推荐 12MHz)。
- 2) 配置 PLL2 锁定等待周期数 PLL2LOCKDLY。
等待时间与系统时钟频率 HCLK 和 CLK_VCO 频率相关。
等待时间计算公式：
等待时间 = PLL2LOCKDLY * 512 / HCLK
等待时间： 200us@CLK_VCO=100MHz
300us@CLK_VCO=432MHz

PLL2LOCKDLY 的取值范围为 0~63，当 HCLK 频率较高时，等待时间不能满足需求，因此需要在 PLL2 锁定后再延时一段时间。或者，在 HCLK 频率较低（如 HCLK = 64MHz）时，启动 PLL2。

- 3) 如果使能 PLL2 LOCK 中断，配置中断源 PLL2LOCKSEL。
中断源选择 PLL2FREERUN。
- 4) 使能 PLL2。
- 5) 配置 PLL2 扩频。
如果禁止 PLL2 扩频，PLL2SCR = 0。
如果使能 PLL2 扩频，配置 PLL2 扩频类型、PLL2 扩频调制步长、PLL2 扩频调制比，同时使能 PLL2 扩频。

- 6) PLL2 退出休眠。
- 7) 延时 15 个系统周期。
- 8) 等待 PLL2 工作正常，即等待 PLL2FREERUN 标志为 1。
如果 PLL2LOCKDLY 配置的时间不足，此处需补上不足的时间。
- 9) 配置 CLK_VCO 频率，即配置 PLL2N、PLL2F。
$$\text{CLK_VCO} = \text{CLK_IN} / \text{PLL2N} * \text{PLL2F}$$

CLK_IN 范围：1MHz~48MHz。
CLK_PFD (CLK_IN / PLL2N) 范围：1MHz~2MHz。
CLK_VCO 范围：100MHz~550MHz。
PLL2N 范围：1~63。
PLL2F 范围：50-511。
- 10) 配置 PLL2PCLK 频率，即配置 PLL2P。
$$\text{PLL2PCLK} = \text{CLK_VCO} / \text{PLL2P}$$

PLL2PCLK 范围：30MHz~220MHz。
PLL2P 范围：【2, 4, 6, 8】。
- 11) 配置 PLL2QCLK 频率，即配置 PLL2Q。
$$\text{PLL2QCLK} = \text{CLK_VCO} / \text{PLL2Q}$$

PLL2QCLK 范围：16MHz~220MHz。
PLL2Q 范围：1~15。
- 12) 如果使能 PLL2 LOCK 中断，配置中断源 PLL2LOCKSEL。
如果 PLL2 时钟源为 RCH 的 16 分频，选择 PLL2FREERUN。
如果 PLL2 时钟源为 XTH，则选择 PLL2LOCK。
- 13) 更新 PLL2 配置，置位 PLL2UPDATEEN。
- 14) 延时 15 个系统周期。
- 15) 等待 PLL2 锁定。
如果 PLL2 时钟源为 RCH 16 分频，则等待 PLL2 工作正常，即等待 PLL2FREERUN 标志为 11。
如果 PLL2 时钟源为 XTH，则等待 PLL2 锁定，即等待 PLL2LOCK 标志为 1。
如果 PLL2LOCKDLY 配置的时间不足，此处需补上不足的时间。
- 16) 使能/禁止 PLL2PCLK。
- 17) 使能/禁止 PLL2QCLK。

4.4. PLL2 停止配置流程

PLL2 停止配置流程

- 1) 禁止 PLL2。
- 2) 禁止 PLL2 扩频。
- 3) PLL2 进入休眠。

4.5. PLL3 启动配置流程

PLL3 启动配置流程：

1) 配置 PLL3 时钟源。

PLL3 时钟源可选择 RCH 16 分频 (4MHz) 或 XTH (推荐 12MHz)。

2) 配置 PLL3 锁定等待周期数 PLL3LOCKDLY。

等待时间与系统时钟频率 HCLK 和 CLK_VCO 频率相关。

等待时间计算公式：

等待时间 = PLL3LOCKDLY * 512 / HCLK

等待时间 > 100us

3) 如果使能 PLL3 LOCK 中断，配置中断源 PLL3LOCKSEL。

中断源选择 PLL3FREERUN。

4) 使能 PLL3。

5) PLL3 退出休眠。

6) 延时 15 个系统周期。

7) 等待 PLL3 工作正常，即等待 PLL3FREERUN 标志为 1。

8) 配置 CLK_VCO 频率，即配置 PLL3N、PLL3F。

$CLK_VCO = CLK_IN / PLL3N * PLL3F$

CLK_IN 范围：1MHz~48MHz。

CLK_VCO 范围：200MHz~500MHz。

PLL3N 范围：1~64。

PLL3F 范围：1-128。

9) 配置 PLL3PCLK 频率，即配置 PLL3P。

$PLL3PCLK = CLK_VCO / PLL3P$

PLL3PCLK 范围：25MHz~220MHz。

PLL3P 范围：【1, 2, 4, 8】。

10) 配置 PLL3QCLK 频率，即配置 PLL3Q。

$PLL3QCLK = CLK_VCO / PLL3Q$

PLL3QCLK 范围：25MHz~220MHz。

PLL3Q 范围：【1, 2, 4, 8】。

11) 如果使能 PLL3 LOCK 中断，配置中断源 PLL3LOCKSEL。

如果 PLL3 时钟源为 RCH 的 16 分频，选择 PLL3FREERUN。

如果 PLL3 时钟源为 XTH，则选择 PLL3LOCK。

12) 更新 PLL3 配置，置位 PLL3UPDATEEN。

13) 延时 15 个系统周期。

14) 等待 PLL3 锁定。

如果 PLL3 时钟源为 RCH 16 分频，则等待 PLL3 工作正常，即等待 PLL3FREERUN 标志为 11。

如果 PLL3 时钟源为 XTH，则等待 PLL3 锁定，即等待 PLL3LOCK 标志为 1。

15) 使能/禁止 PLL3PCLK。

16) 使能/禁止 PLL3QCLK。

4.6. PLL3 停止配置流程

PLL3 停止配置流程

1) 禁止 PLL3。

2) PLL3 进入休眠。

5. 使用说明

5.1. 选择 PLL 时钟

- 1) 系统对系统时钟的精度和温漂要求较高，建议选择 XTH。
- 2) 系统对时钟功耗要求较高时，建议选择 RCH。

5.2. PLL2 锁定等待时间

PLL2LOCKDLY 最大值为 63，系统时钟 HCLK 过高时，其所对应的等待时间满足不了 PLL2 需求，因此在 PLL2 锁定后，还需再延时一段时间，补上不足时间。

6. 版本历史

版本	日期	作者	描述
V1.0	2024-11-22	Aisinochip	初始版
V1.1	2024-12-16	Aisinochip	更新 PLL1/PLL2/PLL3 对比说明
V1.2	2024-12-27	Aisinochip	增加扩频功能的图片说明

版权声明

本文档的所有部分，其著作权归上海航芯电子科技股份有限公司（简称航芯科技）所有，未经航芯科技授权许可，任何个人及组织不得复制、转载、仿制本文档的全部或部分组件。本文档没有任何形式的担保、立场表达或其他暗示，若有任何因本文档或其中提及的产品所有资讯所引起的直接或间接损失，航芯科技及所属员工恕不为其担保任何责任。除此以外，本文档所提到的产品规格及资讯仅供参考，内容亦会随时更新，恕不另行通知。

联系我们

公司：上海航芯电子科技股份有限公司

地址：上海市闵行区合川路 2570 号科技绿洲三期 2 号楼 702 室

邮编：200241

电话：+86-21-6125 9080

传真：+86-21-6125 9080-830

Email: service@aisinochip.com

Website: www.aisinochip.com